

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(13) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 8 - 3 0 6 8 5 3

(43) 公開日 平成 8 年 (1996) 11 月 22 日

(51) Int. Cl.	識別記号	庁内整理番号	F I	特許表示箇所
H01L 23/50			H01L 23/50	
21/60	311		21/60	311
23/12			23/28	A
23/28			23/12	L

審査請求 未請求 請求項の款 17 O L (全 20 頁)

(21) 出願番号 特願平 7 - 1 1 0 3 8 0
(22) 出願日 平成 7 年 (1995) 5 月 9 日

(71) 出願人 0 0 0 0 0 5 2 2 3
富士通株式会社
神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号
(72) 発明者 林田 勝大
神奈川県川崎市中原区上小田中 1 0 1 5 番 地 富士通株式会社内
(73) 発明者 佐藤 光孝
神奈川県川崎市中原区上小田中 1 0 1 5 番 地 富士通株式会社内
(74) 代理人 弁護士 伊東 忠彦

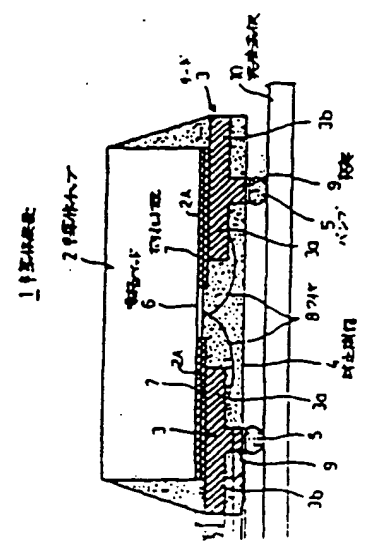
最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法及びリードフレームの製造方法

(57) 【要約】

【目的】 本発明は半導体チップ及びリードを密着封止した構成を有した半導体装置及びその製造方法及び当該半導体装置に用いるリードフレームの製造方法に関し、半導体チップの信頼性を維持しつつ外部電極端子の低抵抗化、製品コストの低減及び生産効率の向上を図ることを目的とする。

【構成】 第 1 のピッチで電極パッド 6 が形成された半導体チップ 2 と、電極パッド 6 とワイヤ 8 を介して電気的に接続されるリード 3 と、半導体チップ 2 を封止する封止樹脂 4 とを具備する半導体装置において、前記リード 3 に外装接続端子となる突起 9 を上記第 1 のピッチと異なる第 2 のピッチで形成すると共に、前記封止樹脂 4 が電極パッド 6 とリード 3 との間に引き込まれたワイヤ 8 を封止し、かつ前記突起 9 を露出させるような形状としたものである。



【特許請求の範囲】

【請求項 1】 第 1 のピッチにて形成された電極バンドが形成された半導体チップと、

前記電極バンドと配線を介して電気的に接続されるリードと、

前記半導体チップを封止する封止樹脂とを具備する半導体装置において、

前記リードに外部接続端子となる突起を、上記第 1 のピッチと異なる第 2 のピッチで形成すると共に、

前記封止樹脂が前記電極バンドと前記リードとの間に引き回された配線を封止し、かつ前記突起を露出させるよう配置されることを特徴とする半導体装置。

【請求項 2】 第 1 のピッチにて形成された電極バンドが形成された半導体チップと、

前記電極バンドと配線を介して電気的に接続されるリードと、

前記半導体チップを封止する封止樹脂とを具備する半導体装置において、

前記リードに外部接続端子となる突起を上記第 1 のピッチと異なる第 2 のピッチで形成すると共に、

前記半導体チップに形成された前記電極バンドの配置面を基準とし、前記配置面における前記封止樹脂の厚さが、前記配置面から前記突起までの高さ寸法以下で、かつ前記配置面から前記突起までの高さ寸法以上となるよう構成したことを特徴とする半導体装置。

【請求項 3】 請求項 1 または 2 記載の半導体装置において、

前記半導体チップと前記リードとをポリイミド膜を接着剤として接合したことを特徴とする半導体装置。

【請求項 4】 請求項 1 乃至 3 のいずれかに記載の半導体装置において、

前記突起を前記リードと一体的に形成したことを特徴とする半導体装置。

【請求項 5】 請求項 1 乃至 4 のいずれかに記載の半導体装置において、

前記膜としてワイヤを用いたことを特徴とする半導体装置。

【請求項 6】 請求項 1 乃至 5 のいずれかに記載の半導体装置において、

前記突起にパンプを形成したことを特徴とする半導体装置。

【請求項 7】 外部接続端子となる部位に突起が形成されてなるリードを形成するリード形成工程と、

前記リードまたは半導体チップの少なくとも一方にポリイミド膜を配設し、前記ポリイミド膜を介して前記リードと前記半導体チップを所定圧力で押圧し、かつ所定圧力に加圧することにより、前記ポリイミド膜を接着剤として前記リードと前記半導体チップとを接合する工程とを具備する半導体装置の製造方法。

ードとを配線を引き回し接続することにより、前記電極バンドと前記リードとを電気的に接続する接続工程と、前記配線及び前記半導体チップの所定配線域には全部を封止すると共に、前記突起の少なくとも一面を露出するよう封止樹脂を配設する封止樹脂配設工程とを具備することを特徴とする半導体装置の製造方法。

【請求項 8】 請求項 7 記載の半導体装置の製造方法において、

前記接続工程でポリイミド膜により前記リードと前記半導体チップを接着する際、前記ポリイミド膜として両面に熱可塑性を有する接着剤を配設したものを用いたことを特徴とする半導体装置の製造方法。

【請求項 9】 請求項 7 または 8 記載の半導体装置の製造方法において、

前記接続工程で、前記電極バンドと前記リードとをダイレクトリードボンディング法により電気的に接続したことを特徴とする半導体装置の製造方法。

【請求項 10】 インナーリード部とアウターリード部とを有した複数のリードが形成されたリードフレームにおいて、

前記アウターリード部のリードピッチに対して前記インナーリード部のリードピッチを小さく設定すると共に、前記アウターリード部に一体的に突起を形成したことを特徴とするリードフレーム。

【請求項 11】 請求項 10 記載のリードフレームにおいて、

前記アウターリード部のリードピッチ (P_{out}) と前記突起の形成位置における前記リードの厚さ (W) とが略等しく ($P_{out} \approx W$)、かつ前記インナーリード部のリードピッチ (P_{in}) が前記アウターリード部のリードピッチ (P_{out}) の略半分のピッチ ($P_{in} \approx P_{out} / 2$) であることを特徴とするリードフレーム。

【請求項 12】 請求項 10 または 11 記載のリードフレームの製造方法において、

基材に前記突起の形成位置にマスクを配設した上で、前記基材に対してハーフエッチングを行う第 1 のエッチング工程と、

前記第 1 のエッチング工程の終了後、前記リード形成位置にマスクを配設した上で、前記基材に対してエッチングを行いリードを形成する第 2 のエッチング工程とを具備することを特徴とするリードフレームの製造方法。

【請求項 13】 請求項 10 または 11 記載のリードフレームの製造方法において、

重ね合わせることで前記突起の所定高さ寸法となるよう厚さが設定された第 1 の基材と第 2 の基材を接着し、

前記第 1 の基材に、互直線した後に前記リードを形成する第 1 のエッチング工程と、前記第 2 の基材に、互直線した後に前記突起を形成する第 2 のエッチング工程とを具備する半導体装置の製造方法。

成するよう突起パターンを形成する突起パターン形成工程と。

前記リードパターンが形成された前記第1の基材と、前記突起パターンが形成された前記第2の基材を重ね合わせ、前記突起の形成位置において前記リードパターンと前記突起パターンが接合されるよう前記第1の基材と前記第2の基材とを接合する接合工程と。

前記第1の基材及び第2の基材の不要部分を除去する除去工程とを具備することとを特徴とするリードフレームの製造方法。

【請求項14】 請求項10または11記載のリードフレームの製造方法において、

基材に、平面視した際に前記リードの形状となるようリードパターンを形成するリードパターン形成工程と、

前記リードパターン形成工程後、形成されたリードパターンの所定位置に前記突起を形成する突起形成工程とを具備することとを特徴とするリードフレームの製造方法。

【請求項15】 請求項14記載のリードフレームの製造方法において、

前記突起形成工程は、前記リードパターンの所定位置にパンパを複数個又は複数個積み重ねることにより前記突起を形成したことを特徴とするリードフレームの製造方法。

【請求項16】 請求項14記載のリードフレームの製造方法において、

前記突起形成工程は、前記リードパターンの所定位置に導電性部材を配置することにより前記突起を形成したことを特徴とするリードフレームの製造方法。

【請求項17】 請求項14記載のリードフレームの製造方法において、

前記突起形成工程は、前記リードパターンの所定位置を塑性加工することにより前記突起を形成したことを特徴とするリードフレームの製造方法。

【発明の詳細な説明】

(0001)

【産業上の利用分野】 本発明は半導体装置及びその製造方法及びリードフレームの製造方法に係り、特に半導体チップ及びリードを樹脂封止した構成を有した半導体装置及びその製造方法及び当該半導体装置に用いるリードフレームの製造方法に関する。

(0002) 近年、電子機器のダウンサイジングに伴い、半導体装置の高密度化及び半導体装置の高密度実装化が図られている。一方で、電子機器の信頼性の向上も望まれており、これに伴い半導体装置の信頼性も向上させる必要がある。更に、半導体装置は製品コストの低減も望まれている。

(0003) よって、上記した各要求を満足する半導体装置が望まれている。

チップチップ方式の実装構成が知られており、マルチチップ・モジュール(MCM)において広く用いられている。このMCMで用いるフリップチップ実装は、樹脂封止をしていない半導体チップ(ペアチップ)の電極パッドにパンパを形成しておき、このペアチップを基板(マザーボード)に形成された電極部にフュースダウンボンディングすることにより実装する構成とされている。

(0005) 上記のフリップチップ方式の実装構成を用いることにより、高密度に半導体装置をマザーボードに実装することが可能となり、またペアチップに直接形成されたパンパを用いてマザーボードに電気的に接続されるため、電気的特性を向上させることができる。

(0006)

【発明が解決しようとする課題】 しかるに、樹脂封止がされていないペアチップは、耐熱性、機械的強度、及び耐湿性が高いという問題点がある。また、ペアチップに形成されている電極パッドに直接パンパが形成されれば、接合部を形成するため、ペアチップに形成されているマザーボードのレイアウトがそのまま直接接続部(パンパ)のレイアウトとなってしまう。

(0007) 一般に半導体チップの電極パッドのレイアウトは半導体製造メーカーによって異なっており、従って同一機能を有する半導体装置であっても、ユーザー側で半導体装置の信頼性(製造メーカー)に対応するようマザーボードの接続パターンを設計する必要がある。このように、従来のペアチップを用いた実装構成では、半導体装置の外部電極端子の標準化がされていないことにより、半導体装置とマザーボードとのマッチング性に欠け、ユーザー側の負担が重くなるという問題点があった。

(0008) また、これを解決するためにチップ表面にプロセス処理を行い、配線を引き回すことにより標準化を図ることが考えられるが、この構成では配線の引き回しに高密度を有する多くの工程を必要とし、製品コストの上昇及び生産効率の低下を招いてしまうという問題点があった。

(0009) 本発明は上記の点に鑑みてなされたものであり、半導体チップの信頼性を維持しつつ外部電極端子の標準化、製品コストの低減及び生産効率の向上を図りうる半導体装置及びその製造方法及びリードフレームの製造方法を提供することを目的とする。

(0010)

【課題を解決するための手段】 上記の課題は下記の手段を講ずることにより解決することができる。請求項1記載の発明では、第1のピッチにて形成された電極パッドが形成された半導体チップと、前記電極パッドと配線を介して電気的に接続されるリードと、前記半導体チップを封止する樹脂層とを具備する半導体装置において、

された配線を封止し、かつ前記突起を露出させるよう形成されることを特徴とするものである。

【0011】また、請求項2記載の発明では、第1のピッチにて形成された電極パッドが形成された半導体チップと、前記電極パッドと配線を介して電気的に接続されるリードと、前記半導体チップを封止する封止樹脂とを具備する半導体装置において、前記リードに外部接続端子となる突起を上記第1のピッチと異なる第2のピッチで形成すると共に、前記半導体チップに形成された前記電極パッドの配線面を基体とし、前記配線面における前記封止樹脂の厚さが、前記配線面から前記突起までの高さ寸法以下で、かつ前記配線面から前記突起までの高さ寸法以上となるよう構成したことを特徴とするものである。

【0012】また、請求項3記載の発明では、前記請求項1または2記載の半導体装置において、前記半導体チップと前記リードとをポリイミド膜を接着剤として接合したことを特徴とするものである。

【0013】また、請求項4記載の発明では、前記請求項1乃至3のいずれかに記載の半導体装置において、前記突起を前記リードと一体的に形成したことを特徴とするものである。また、請求項5記載の発明では、前記請求項1乃至4のいずれかに記載の半導体装置において、前記配線としてワイヤを用いたことを特徴とするものである。

【0014】また、請求項6記載の発明では、前記請求項1乃至5のいずれかに記載の半導体装置において、前記突起にバンプを形成したことを特徴とするものである。また、請求項7記載の発明では、半導体装置の製造方法において、外部接続端子となる部位に突起が形成されてなるリードを形成するリード形成工程と、前記リード又は半導体チップの少なくとも一方にポリイミド膜を配設し、前記ポリイミド膜を介在させて前記リードと前記半導体チップを所定圧力で押圧しかつ所定温度に加熱することにより、前記ポリイミド膜を接着剤として前記リードと前記半導体チップとを接合する接合工程と、前記半導体チップに形成されている電極パッドと前記リードとを配線を引き回し接続することにより、前記電極パッドと前記リードとを電気的に接続する接続工程と、前記配線及び前記半導体チップの所定範囲内は全周を封止すると共に、前記突起の少なくとも一面を露出するよう封止樹脂を配設する封止樹脂配設工程とを具備することを特徴とするものである。

【0015】また、請求項8記載の発明では、前記請求項7記載の半導体装置の製造方法において、前記接合工程でポリイミド膜により前記リードと前記半導体チップを接合する際、前記ポリイミド膜として前記外部接続端子となる部位を被覆したものを用いることを特徴とする。

項7または6に記載の半導体装置の製造方法において、前記接続工程で、前記電極パッドと前記リードとをダイレクトリードボンディング法により電気的に接続したことを特徴とするものである。

【0017】また、請求項10記載の発明では、インナーリード部とアウターリード部とを有した複数のリードが形成されたリードフレームにおいて、前記アウターリード部のリードピッチに対して前記インナーリード部のリードピッチを小さく設定すると共に、前記アウターリード部に一体的に突起を形成したことを特徴とするものである。

【0018】また、請求項11記載の発明では、前記請求項10記載のリードフレームにおいて、前記アウターリード部のリードピッチ(P_{out})と前記突起の形成位置における前記リードの厚さ(W)とが略等しく($P_{out} \approx W$)、かつ前記インナーリード部のリードピッチ(P_{in})が前記アウターリード部のリードピッチ(P_{out})の略半分のピッチ($P_{in} = P_{out} / 2$)であることを特徴とするものである。また、請求項12記載の発明では、前記請求項10または11記載のリードフレームの製造方法において、基材に前記突起の形成位置にマスクを配設した上で、前記基材に対してハーフエッチングを行う第1のエッチング工程と、前記第1のエッチング工程の終了後、前記リード形成位置にマスクを配設した上で、前記基材に対してエッチングを行いリードを形成する第2のエッチング工程とを具備することを特徴とするものである。

【0019】また、請求項13記載の発明では、前記請求項10または11記載のリードフレームの製造方法において、重ね合わせることでより前記突起の所定高さ寸法となるよう厚さが選定された第1の基材と第2の基材を用意し、前記第1の基材に、平面視した後に前記リードの形状となるようリードパターンを形成するリードパターン形成工程と、前記第2の基材に、少なくとも前記突起の形成位置に位置するよう突起パターンを形成する突起パターン形成工程と、前記リードパターンが形成された前記第1の基材と、前記突起パターンが形成された前記第2の基材を重ね合わせ、前記突起の形成位置において前記リードパターンと前記突起パターンが接合されるよう前記第1の基材と前記第2の基材とを接合する接合工程と、前記第1の基材及び第2の基材の不要部分を除去する除去工程とを具備することを特徴とするものである。

【0020】また、請求項14記載の発明では、前記請求項10または11記載のリードフレームの製造方法において、基材に、平面視した後に前記リードの形状となるようリードパターンを形成するリードパターン形成工程と、

も該ピッチのリード形成を行うことが可能となる。尚、上記説明から明らかなように、突起の配位ピッチは基材の板厚と略等しいピッチまで狭ピッチ化することができる。

【0034】また、請求項13記載の説明によれば、第1の基材及び第2の基材は重ね合わせることで突起の所定高さ寸法となるよう板厚が選定されているため、各基材の板厚は突起の高さ寸法より小さな厚さとされている。リードパターン形成工程では、この板厚の薄い第1の基材に対してリードの形状となるようリードパターンを形成するため、先に説明した板厚とリードピッチの関係により、形成されるリードパターンのリードピッチを狭ピッチ化することができる。

【0035】また、突起パターン形成工程において第2の基材に少なくとも前記突起の形成位置に位置するよう突起パターンを形成し、接合工程において上記第1の基材と第2の基材を重ね合わせ接合することにより、突起の形成位置においてリードパターンと突起パターンが積層され、この位置における板厚は突起の所定高さとなる。続く除去工程では不要部分が除去されリードが形成される。

【0036】従って、上記のようにリードパターンの形成時には板厚は薄いためリードピッチを狭ピッチ化することができ、また突起形成位置においてはリードパターンと突起パターンが積層されることにより所定高さの突起を形成することができる。また、請求項14記載の説明によれば、リードパターンを形成するリードパターン形成工程と、突起を形成する突起形成工程とを別個に行うことにより、基材の厚さを突起の高さに拘わらず選定することができ、よって薄い基材を用いることによりリードパターンの狭ピッチ化を図ることができる。また、突起形成工程においては、任意の高さを有する突起を形成することが可能となり、設計の自由度を向上させることができる。

【0037】更に、請求項15乃至17記載の説明によれば、突起形成工程において突起の形成を容易に行うことができる。

【0038】

【実施例】次に本発明の実施例について図面と共に説明する。図1及び図2は、本発明の一実施例である半導体装置1を示している。図1は半導体装置1の断面図であり、また図2は半導体装置1を底面図である。

【0039】各図に示されるように、半導体装置1は大略すると半導体チップ2、複数のリード3、封止樹脂4、及びパンプ5等により構成されている。半導体チップ2は、底面の中央位置に複数の電極パッド6が一列に配列されている。また、複数のリード3は、電極パッド6

【0040】このポリイミド膜7は、半導体チップ2の上面に形成された図2の2Aとリード3とを電気的に接続する絶縁部材として機能すると共に、保護するようにポリイミド膜7は半導体チップ2とリード3とを覆合する保護層として機能している。このように、ポリイミド膜7に絶縁部材と複数の双方の機能を果たせることにより、絶縁材と保護層とを別個に配設する構成に比べ、半導体装置1の構造の簡素化及び製造の容易化を図ることができる。

【0041】また、インナーリード部3aと半導体チップ2に形成された電極パッド6との間にはワイヤ8が配設されており、このワイヤ8を介して半導体チップ2とリード3は電気的に接続された構成とされている。更に、各リード3に設けられたアウトーリード部3bの所定位置には、外部接続端子となる突起9が一体的に形成されている。上記構成とされたリード3は、各図に示されるようにその大部分が半導体チップ2の底面に配設された構成の、いわゆるリード・オン・チップ（LOC）構造となっており、半導体装置1の小型化が図られている。

【0042】また、封止樹脂4は例えばエポキシ樹脂よりなり、保護するようにモールドイングにより形成されている。この封止樹脂4は、半導体チップ2の底面及び側面の所定範囲に配設されている。しかもに本実施例では、半導体チップ2の上面においては、放熱性を向上させる面より封止樹脂4は配設されていない構成とされている。

【0043】上記封止樹脂4は、半導体チップ2の電極パッド6の配設面（底面）を基準とし、この底面からの高さ（図中、矢印Hで示す）が、底面から突起9の先端までの高さ寸法（図中、矢印Wで示す）以下で、かつ底面からワイヤ8のループ最上端までの高さ寸法（図中、矢印hで示す）以上となるよう構成されている（ $h \leq H \leq W$ ）。この構成とすることにより、突起9の少なくとも先端部9aは確実に封止樹脂4から露出し、またワイヤ8及び突起9の露出部分を除くリード3は封止樹脂4に封止された構成となる。

【0044】このように、本実施例の半導体装置1は、半導体チップ2の所定範囲（上面を除く部位）を封止樹脂4に封止された構成となるため、耐熱性、機械的強度及び耐湿性を向上させることができる。また、封止樹脂4はワイヤ8を確実に保護するため、これによっても半導体装置1の信頼性を向上させることができ、更に外部接続端子となる突起9の少なくとも先端部9aは確実に封止樹脂4から露出するため、電気接合10との電気的接続を容易に行うことができる。

【0045】ここで、図2を用いて半導体装置1の底面図

ている。図面に示されるように、リード3は隣接するインナーリード部3aのリードピッチ（図中、矢印P...で示す）が隣接するアウターリード部3bのリードピッチ（図中、矢印P...で示す）よりも小さくなるよう形成されている。具体的には、インナーリード部3aのリードピッチP...はアウターリード部3bのリードピッチP...の略半分のピッチ（ $P_{in} = P_{out} / 2$ ）となるよう形成されている。また、後に詳述するように、アウターリード部3bのリードピッチP...は突起9の形成位置におけるリード3の厚さWとが略等しくなるよう形成されている（ $P_{out} \approx W$ ）。

【0046】上記のように、アウターリード部3bのリードピッチP...に対してインナーリード部3aのリードピッチP...が小さく設定されることにより、インナーリード部3aが電氣的に接続される半導体チップ2の電極パッド6の配線ピッチが小さくてもこれに対応させることができ、かつ突起基板10と電氣的に接続されるアウターリード部3b（突起9）のリードピッチP...は大きいので、半導体装置1の突起基板10に対する実装性を向上させることができる。

【0047】一方、本実施例に係る半導体装置1は、半導体チップ2に配設されている電極パッド6に電極パンプ5を形成し突起基板10に接続するのではなく、電極パッド6とインナーリード部3aとの間にワイヤ8を引き回した上でリード3を介して突起基板10に接続する構成とされている。従って、電極パッド6をリード3及びワイヤ8を用いて引き回すことができるため、リード3のレイアウトを電極パッド6のレイアウトに拘わらず設定することが可能となる。

【0048】具体的には、図2に示す例では、半導体チップ2の中央に形成されている電極パッド6をワイヤ8及びリード3を用いて引き回し、外部接続端子となる突起9を半導体チップ2の外周位置に引き出している。また、図3に示されるように、電極パッド6が半導体チップ2の外周位置に形成されている場合には、本発明を適用して電極パッド6をワイヤ8及びリード3を用いて引き回すことにより、電極パッド6の形成位置より内側に外部接続端子となる突起9を形成することも可能である。更に、図4に示されるように、外部接続端子となる突起9を半導体チップ2の外周位置に配設することも可能となる。

【0049】このように、電極パッド6をリード3及びワイヤ8を用いて引き回すことが可能となることにより、突起基板10と半導体装置1とのマッチング性を向上させることができ、外部接続端子となる突起9のレイアウトを標準外部接続端子のレイアウトに容易に設定することができる。よって、半導体装置1を用いるユーザ側の負担を軽減することができる。

は、リード形成工程、析出工程、保護工程及び防止層形成工程の基本となる4工程と、これに付随するパンプ形成工程、保護工程の2工程を行うことにより製造される。以下、各工程順に説明するものとする。

【0051】図5乃至図9はリード形成工程の第1実施例を示している。このリード形成工程は、リード3の基材となるリードフレーム11を形成するための工程である。リードフレーム11を形成するためには、先ず図5に示されるような平板状の基材12を用意する。この基材12は、例えば4.2プロイオンのリードフレーム材であり、またその底面に形成しようとする突起9の厚さ寸法Wと等しいものが選定されている。

【0052】上記の基材12に対し、先ず図6に示されるようにマスク13（図中で示す）が形成される。このマスク13は、所定の突起9の形成位置（図中、参照符号14で示す）及びクレドール形成位置（図中、参照符号15で示す）に配設される。

【0053】上記のようにマスク13が配設されると、続いて基材12に対してハーフエッチング処理（第1のエッチング工程）が実施される。本実施例においては、ウェットエッチング法により基材12に対してハーフエッチング処理を行っている（ドライエッチング処理等の他のエッチング方法を用いることも可能である）。またエッチング時間は、エッチングにより設定される部分（図6で白線で示される部分）の厚さが、基材12の板厚Wの半分の寸法（ $W/2$ ）となるよう設定されている。

【0054】このハーフエッチング処理が終了し、マスク13を取り除いた状態を図7に示す。この状態では、突起9の形成位置14及びクレドール形成位置15のみが元の基材12の厚さWを維持しており、他の部分（参照符号16で示す）はハーフエッチングによりその厚さ寸法は $W/2$ となっている。

【0055】上記のようにハーフエッチング処理が終了する。続いて図8に示されるように所定のリード3の形成位置（参照符号18で示す）及びクレドール形成位置15にマスク17（図中で示す）を配設した上で、この基材12に対してエッチング処理を行う。

【0056】上記のようにマスク17が配設されると、続いて基材12に対してエッチング処理（第2のエッチング工程）が実施され基材12のマスク17が配設された位置以外の部分を除去する。これにより、図9に示すリード3の所定形状を有した複数のリード3を具備するリードフレーム11が形成される。尚、必要に応じてこのリードフレーム11の所定位置（リード3の形成位置）にエッチングを施してもよい。

【0057】このように形成されたリードフレーム11は、リード3がインナーリード部3aとアウターリード部3bとを有する。

ーリード部3a及び突起9の形成位置を越くアウターリード部3bの厚さす法は $W/2$ となっている。

【0058】ここで、リードピッチと基材12の板厚との関係について説明する。前記したように、リード3を形成する際にリード3のピッチは基材12の板厚により決定されてしまい、具体的にはリードピッチは基材12の板厚と等しいピッチにしか形成することはできない。よって、基材12の板厚が同じなリードピッチを狭くピッチ化することができず、

【0059】ところが、突起9が形成されるリード3では基材12の板厚は突起9の高さにより決まってしまい、突起9の高さと等しい板厚を有する基材12を単にエッチング処理したのでは狭ピッチのリードを形成することができない。しかるに、上述したように第1のエッチング工程においてハーフエッチング処理を実施することにより、突起形成位置14を越え基材12の板厚を薄くし(約 $W/2$ の板厚となるようにする)、更にこの薄くされた板厚を有する部分に第2のエッチング工程を実施してリード3を形成することにより、突起9を有するリード3であっても狭ピッチ(図1に示されるリードピッチ P_{11})のリード形成を行うことが可能となる。また、同様の理由により、突起9(アウターリード部3b)の配設ピッチ(P_{11})は、基材12の板厚 W と略等しいピッチで狭ピッチ化することが可能となる。

【0060】尚、具体例としては、一般にリード基材として用いられている板厚0.10mm、0.15mm、0.20mmの基材を用いれば、板厚0.10mmの基材ではアウターリード部3b及び突起9の最小ピッチ P_{11} を0.10mm($P_{11}=0.10mm$)、インナーリード部3aの最小ピッチ P_{12} を0.15mm($P_{12}=0.05mm$)とすることができ、また、板厚0.15mmの基材ではアウターリード部3b及び突起9の最小ピッチ P_{11} を0.15mm($P_{11}=0.15mm$)、インナーリード部3aの最小ピッチ P_{12} を0.075mm($P_{12}=0.075mm$)とすることができ、更に、板厚0.20mmの基材ではアウターリード部3b及び突起9の最小ピッチ P_{11} を0.20mm($P_{11}=0.20mm$)、インナーリード部3aの最小ピッチ P_{12} を0.10mm($P_{12}=0.10mm$)とすることができ、

【0061】一方、突起9の形成位置に注目すると、突起9の形成位置は図6に示されるマスク13の配設位置により決められる。即ち、この図6に示されるマスク13の配設位置を変えて変更することにより、突起9の形成位置を任意設定することが可能となる。このため、本実施例に係るリード形成方法では、外部接続端子となる突起9の形成位置を任意位置をもって設定することができ、予め定められている標準外部接続端子位置に突起9を形成することが可能となる。

ム20を形成するには、先ず図10に示されるような第1の基材21と、図11に示されるような第2の基材22を用意する。

【0063】この各基材21、22は、重ね合わせることにより突起9の所定高さす法 W となるよう板厚が決定されており、本実施例では各基材21、22の板厚す法は共に $W/2$ に決定されている。尚、各基材21、22の板厚はこれに決定されるものではなく、重ね合わせることにより突起9の所定高さす法 W となる条件の基に各基材21、22で板厚を異ならせた構成としてもよい。

【0064】図10に示される第1の基材21は、例えば42アロイ等のリードフレーム材料により形成されており、エッチング処理或いはプレス打ち抜き処理等を予め実施することにより、平面視した場合にリード3と同一形状のリードパターン23が形成された構成とされている。しかるに、第1実施例で説明したリード形成工程と異なり、この状態のリードパターン23には突起9は形成されておらず、よってリードパターン23は全体的にその板厚が $W/2$ とされている。尚、図中25で示すのは位置決め孔であり、リードパターン23の形成時に一括的に形成されるものである。

【0065】一方、図11に示される第2の基材22は、予め42アロイ等のリードフレーム材料に対しエッチング処理或いはプレス打ち抜き処理等を実施することにより、突起パターン24が形成された構成とされている。この突起パターン24は直線状のパターン形状を有しており、所定の突起9の形成位置を模倣するよう構成されている。尚、図26は位置決め孔であり、突起パターン24の形成時に一括的に形成されるものである。

【0066】上記構成とされた第1の基材21及び第2の基材22は、位置決め孔25、26を用いて位置決めされつつ重ね合わせられ積合される。この第1及び第2の基材21、22の積合は、導電性接着剤を用いて積合してもよく、また溶接により積合してもよい。図12は、第1の基材21と第2の基材22とが積合された状態を示している。

【0067】上記のように第1の基材21と第2の基材22とが積合された状態で、第2の基材22に形成されている突起パターン24は、第1の基材21に形成されているリードパターン23の所定突起形成位置の上側に重ね合わされるよう構成されている。

【0068】図13は、リードパターン23と突起パターン24とが重なり合った部位を拡大して示す平面図であり、また図14はリードパターン23と突起パターン24とが重なり合った部位を拡大して示す断面図である。各図から明らかなように、板厚す法 $W/2$ のリードパターン23と、同じく板厚す法 $W/2$ の突起パター

【0069】上記のように第1の基材21と第2の基材22との接合処理が終了すると、残いて不要部分、具体的には突起パターン24のリードパターン23と交差した部分を除く部位をプレス加工等により除去することにより、図15に示すように突起9が一体的に形成されたリード3を有するリードフレーム20が形成される。

【0070】上記のように、本実施例により製造されたリードフレーム20も第1実施例で製造されたリードフレーム11と同様に、リード3はインナーリード部3a、アウターリード部3b及び突起9が一体的に形成された構成となる。また、図10に示すリードパターン23の形成時においては、第1の基材21の板厚は $W/2$ とされているため、先に説明した板厚とリードピッチの関係から明らかなように、該ピッチのリードパターン23を形成することができる。

【0071】一方、突起9の形成位置に注目すると、突起9の形成位置は第2の基材22に形成される突起パターン24の形成位置により決められる。即ち、この突起パターン24の形成位置を任意変更することにより、突起9の形成位置を任意設定することが可能となる。このため、本実施例に係るリード形成方法においても、外部接続端子となる突起9の形成位置を自由度をもって設定することができ、よって予め定められている標準外部接続端子位置に突起9を容易に形成することが可能となる。

【0072】上記のようにリード形成工程を実施することによりリードフレーム11、20（以下の説明では、リードフレーム11を用いた場合を例に挙げて説明する）が形成されると、続いてリードフレーム11と半導体チップ2を接合する接合工程が実施される。以下、図16乃至図20を用いて接合工程について説明する。

【0073】接合工程においては、先ず図16に示されるようにリードフレーム11のインナーリード部3a（換言すれば、後述する接続工程においてワイヤ8がボンディングされる部位）に金メッキを施すことにより、ボンディングパッド部27を形成する。

【0074】また、図17に示されるように、半導体チップ2の電極パッド6の形成された面には、この電極パッド6の形成部位のみが露出する構成でポリイミド膜7が配設される。このポリイミド膜7はガラス転移点 T_g が $100 \sim 300^\circ\text{C}$ のものが選定されており、図17に示される状態では単に半導体チップ2に設置されただけの状態となっている。従って、ポリイミド膜7が脱落しないよう、半導体チップ2は電極パッド6の形成面が上記に位置するよう配置されている。尚、半導体チップ2は形成時に付着しておらずベアチップ状とされている。また、上記のポリイミド膜7は、半導体チップ2を形成す

た半導体チップ2には、図18に示されるように、リードフレーム11が設置される。この際、リードフレーム11に形成されているリード3（インナーリード部3a）と、半導体チップ2に形成されている電極パッド6とが精度よく対向するよう、リードフレーム11は位置決めされる。

【0076】上記のようにリードフレーム11が半導体チップ2上の所定位置に配置されると、続いて図19に示されるように治具28が降下し、リードフレーム11を半導体チップ2に向け押圧する。また、この治具28は加熱装置を具備しており、治具28で発生する熱はリードフレーム11を介してポリイミド膜7に印加される。

【0077】上記ポリイミド膜7は、半導体チップ2とリードフレーム11とを電気的に接続する絶縁材料として従来より一般的に用いられているものであるが、本発明者はこのポリイミド膜7を所定の環境条件下に置くことにより接着力として機能することを発見した。具体的には、ポリイミド膜7としてガラス転移点 T_g が $100 \sim 300^\circ\text{C}$ のものを使用し、かつこのポリイミド膜7をガラス転移点 $T_g + 100 \sim 200^\circ\text{C}$ に加熱すると共に、 $1 \sim 10 \text{ kg/cm}^2$ の押圧力を印加することにより、ポリイミド膜7は接着力として機能するようになる。

【0078】よって、本実施例では上記の点に注目し、半導体チップ2とリードフレーム11との接合時に、治具28に設けられているヒータによりポリイミド膜7をガラス転移点 $T_g + 100 \sim 200^\circ\text{C}$ に加熱すると共に、治具28の加工によりポリイミド膜7に $1 \sim 10 \text{ kg/cm}^2$ の押圧力を印加する構成としている。これにより、ポリイミド膜7は接着力として機能するようになり、半導体チップ2とリードフレーム11とをポリイミド膜7を用いて接合することが可能となる。

【0079】上記構成とすることにより、従来では必要とされたポリイミド膜を半導体チップ2及びリードフレーム11と接合するための接着力は不要となり、部品コストの低減及び半導体装置1の組み立て工数の低減を図ることができる。図20は、半導体チップ2とリードフレーム11とがポリイミド膜7により接合された状態を示している。

【0080】尚、半導体チップ2とリードフレーム11とを接合する際には、ポリイミド膜7を用いて接合する方式に限定されるものではなく、従来のようにポリイミド膜の両面に接着力を塗布しておき、この接着力によりポリイミド膜を介在させた状態で半導体チップ2とリードフレーム11とを接合する方式を用いてもよい。この構成では、ポリイミド膜に対する温度制御及び押圧力制御が不要となり、接合工程を簡単に実施することができる。

ド3と半導体チップ2に形成されている電極パッド6とをワイヤ8で電気的に接続する接続工程が実施される。

【0082】図21は、キャピタリ29を用いてワイヤ（例えば金ワイヤ）8をリード3に形成されたボンディングパッド部27（図16参照）と電極パッド6との間に配設する処理を示している。所記のように、半導体装置1の電気的特性を向上させる点からはワイヤ8の長さは短い方がよく、また半導体装置1の小型化・薄型化のためにはワイヤ8は低ループであることが望ましい。

【0083】このため、ワイヤ8を配設するのに低ループボンディング法を採用することが望ましい。低ループボンディング法も種々の方法が提案されているが、例えば先ず半導体チップ2に形成されている電極パッド6にワイヤ8をボンディングし、続いて垂直上方にキャピタリ29を移動させた後に水平方向に移動させてリード3にボンディングする、いわゆる逆打ち法を用いる構成としてもよい。

【0084】上記のように、リード3と電極パッド6とを電気的に接続するのにワイヤボンディング法を用いることにより、容易かつ高速度に接続処理を行うことができる。また、リード3と電極パッド6との間におけるワイヤ8の引き回しも比較的自由度を持って行うことができる。尚、図22は、接続工程を実施することによりリード3と電極パッド6との間にワイヤ8が配設された状態を示している。

【0085】上記のように接続工程を実施することにより、電極パッド6とリード3とがワイヤ8により電気的に接続されると、続いて半導体チップ2の所定部分に封止樹脂4を配設する封止樹脂配設工程が実施される。以下、図23乃至図25を用いて封止樹脂配設工程について説明する。

【0086】図23は、上記の各工程を実施することによりリードフレーム11、ワイヤ8等が配設された半導体チップ2を金型30に装着した状態を示している。金型30は上型31と下型32とにより構成されており、リードフレーム11が上型31と下型32との間にクランプされることにより、半導体チップ2は金型30内に装着される。

【0087】上型31は、半導体チップ2が装着された状態で突起9及びリードフレーム11のクレドール33と当接する構成とされている。突起9の高さとクレドール33の高さは等しいため、よって上型31の形状は平板形状とされている。また、下型32に装着された半導体チップ2の側面に空間部を有したキャビティ形状を有しており、また半導体チップ2の底面における底面はキャビティ33の底面と当接する構成とされている。

【0088】このように、封止樹脂配設工程で用いる上

装装置1の製造コストの低減に寄与することができる。

【0089】図24は金型30に封止樹脂4（型材で示す）を充填した状態を示している。金型30に封止樹脂4を充填することにより、半導体チップ2の下型31と当接した上面（図23乃至図25では下底に位置する）を除く外面面に封止樹脂4により封止される。また、半導体チップ2の底面に配設されているリード3及びワイヤ8も封止樹脂4により封止された状態となる。また、突起9も上型31と当接している側面を除き封止樹脂4により封止された構成となる。

【0090】図25は、封止樹脂4が充填処理された半導体チップ2を金型30から離型した状態を示している。尚図に示されるように、半導体チップ2の上面2aは封止樹脂4より露出しており、よってこの上面2aより半導体チップ2で発生する熱を効果よく放熱させることができる。また、突起9の露部9aも封止樹脂4から外部に露出しており、従ってこの露部9aを外装接続端子として用いることができる。

【0091】図25に示される状態において、図中一点鎖線で示す箇所（リードフレーム11を切断することにより半導体装置を形成しても、図1に示す半導体装置1と同様の効果を実現することができる。しかるに、図25に示す状態では、外部接続端子として機能する突起9の露部9aが封止樹脂4の表面と端面一となっているため、実装基板10に対する実装性が不良である。このため、本実施例においては、封止樹脂配設工程が終了した後、露部9aにパンク5を形成するパンク形成工程を実施している。以下、パンク形成工程を図26乃至図30を用いて説明する。

【0092】パンク形成工程においては、先ず図26に示すように、封止樹脂4が配設された半導体チップ2の全面に対してホーニング処理を行い、残留する樹脂屑等を除去すると共に、突起9の露部9aを露出に外部に露出させる。ホーニング処理が終了すると、続いて図27に示すように、封止樹脂4が配設された半導体チップ2を半田槽34に浸漬し、突起9の露部9aに半田を用いて外装メッキを行う（半田槽を参照する図35で示す）。この外装メッキに用いる半田としては、例えばPb:Sn=1:9の組成比を有する半田の適用が考えられる。図28は、上記の外装メッキにより突起9の露部9aに半田35が形成された状態を示している。

【0093】上記のように外装メッキ処理が終了すると、続いて半田35が形成された突起9の露部9aにパンク5が形成される。このパンク5の形成方法としては種々の方法を採用することができる。例えば効果よくかつ容易にパンク5を形成しうる乾式パンク法を用いて形成してもよい。図29は、パンク5が突起9の露部9

リードフレーム 11 の切断処理が行われ、これにより、図 30 に示される半導体装置 1 が形成される。尚、このリードフレーム 11 の切断処理に先立ち、切断処理を容易にするためにリードフレーム 11 の切断箇所にはハーフエッチング処理を行ってもよい。

(0095) 上記のように製造された半導体装置 1 に対しては、続いて適正に作動するかどうかを試験する試験工程が実施される。図 31 及び図 33 は、天々異なる半導体装置 1 の試験方法を示している。図 31 に示される試験方法では、ポンプ 5 を装着しうる構成とされたソケット 36 を用い、このソケット 36 に半導体装置 1 を装着することによりバーイン等の試験を行うものである。(0096) また、図 32 に示される試験方法は、プローブ 37 を用いて半導体装置 1 の試験を行う方法である。半導体装置 1 は、封止樹脂 4 の側部位置にリード 3 の端部が封止樹脂 4 から露出した構成とされている。本試験方法では、これを利用して封止樹脂 4 から露出したリード 3 にプローブ 37 を接触させて試験を行う構成とされている。よって、本試験方法を採用することにより、半導体装置 1 を実装基板 10 に実装した後においても試験を行うことが可能となる。

(0097) 図 33 は、半導体装置 1 を実装基板 10 に実装する実装工程を示している。半導体装置 1 を実装基板 10 に実装する方法としては、周知の種々の方法を採用することが可能である。例えば、赤外線リフロー方式を用い、半導体装置 1 に設けられているポンプ 5 を実装基板 10 に形成されている電極部 38 にペースト等を用いて仮止めし、その上で赤外線リフロー炉においてポンプ 5 を溶融させることによりポンプ 5 と電極部 38 とを接合する方法を用いてもよい。

(0098) 続いて、上記した半導体装置の製造方法の実施例について以下説明する。図 34 乃至図 37 は、天々突起 9 の実施例を示している。図 34 (A)、(B) に示される突起 9A は、その形状を円柱状とした構成である。また、図 37 (C) に示される突起 9B は、その形状を角柱状とした構成である。このように、突起 9、9A、9B の平面形状は種々設定できるものであり、ポンプ 5 の接合性及び実装基板 10 に形成されている電極部 38 の形状等に応じて任意に形状を設定することが可能である。具体的には、例えばエッチング法により突起 9、9A、9B を形成する場合には、図 6 に示す突起形成位置 14 に対応するマスク 13 の形状を適宜設定することにより突起 9、9A、9B の平面形状を容易に所望する形状とすることができよう。

(0099) また、図 35 (A) に示される突起 9C のように上面に曲面状凹部を形成した構成としてもよく、図 35 (B) に示される突起 9D のように上面中央部に

E によれば、突起上面における面積を大きくすることによってポンプ 5 との接合性の向上を図ることができる。尚、上記の突起 9C~9E は、リード 3 の所定突起形成位置に、導電性接着剤等を用いて固定された構成とされている。

(0100) また図 35 (D) に示すのは、リード 3 をプレス加工等により直接塑性変形させることにより突起 9F を形成したものである。このようにプレス加工等の塑性加工を用いて突起 9F を形成することにより、極めて容易に突起 9F を形成することができ、しかも、この形成方法では、突起 9F の高さは塑性加工限界値を上廻し、それ以上の高さに設定することはできないという問題点も有する。

(0101) また、図 36 に示すのは、突起 9G を形成するのにワイヤボンディング技術を用い、スタッドポンプ 7 等の突起種別位置に形成することにより突起 9G としたことを特徴とするものである。図 36 (A) は突起 9G の形成方法を示しており、また図 36 (B) は突起 9G を拡大して示している。

(0102) 上記のように、突起 9G をワイヤボンディング技術を用いスタッドポンプで形成することにより、任意の位置に突起 9G を形成することが可能となり、外部接続端子となる突起 9G を所定位置に容易に形成することができ、また、突起 9G の形成は、半導体装置の製造工程の内、接合工程においてワイヤ 8 の配設時に一体的に形成することが可能となり、製造工程の簡略化を図ることができよう。

(0103) また、突起 9G の高さはスタッドポンプを種々種別重ねて配設することにより任意に設定することができ、図 37 (A) に示される突起 9H は、スタッドポンプを 3 層重ねることにより図 36 (B) に示される 1 層のスタッドポンプにより突起 9G を形成した構成に比べて高さを高くしたものである。

(0104) また突起の高さを高くする他の方法として、図 37 (B) に示されるように予めリード 3 にブロック状の導電性部材 41 を導電性接着剤等により固定しておき、この導電性部材 41 の上部に図 37 (C) に示されるようにスタッドポンプ 42 を形成し、積層された導電性部材 41 とスタッドポンプ 42 とが協働して突起 9I を形成する構成としてもよい。この構成の場合、突起 9I の高さは導電性部材 41 の高さにより決められることとなるが、ブロック状の導電性部材 41 は種々の大きさのものが提供されており、よって突起 9I の高さを任意に設定することができよう。

(0105) 図 38 は、接合工程の実施例を示している。上記した実施例では、図 16 乃至図 20 に示したように半導体チップ 2 とリードフレーム 11 とを所定条件

ム 1 1 とを接合する構成としてもよい。

〔0106〕また、テープ状基板 4 5 の配設位置は、半導体チップ 2 の上面だけでなく、図 3 8 に示されるようリードフレーム 1 1 の下面にも設けてもよく、またリードフレーム 1 1 の下面のみに設けた構成としてもよい。更に、テープ状基板 4 5 の配設位置は、電極パッド 6 の形成位置を除く図 4 矢印 X で示す範囲であれば、自由に設定することができる。尚、テープ状基板 4 5 は、半導体チップ 2 とリードフレーム 1 1 とを電気的に絶縁する必要があるため、絶縁性材料である必要がある。

〔0107〕図 3 9 乃至図 4 2 は、積層工程の実例を示している。上記した実施例では、図 2 1 及び図 2 2 に示されるように電極パッド 6 とリード 3 とを接合するのにワイヤ 8 を用いた構成を示したが、図 3 9 乃至図 4 2 に示す実施例では電極パッド 6 とリード 3 とを直接接合するダイレクトリードボンディング (DLB) 方法を用いたことを特徴としている。

〔0108〕図 3 9 及び図 4 0 に示す例では、リード 3 を例えば超音波振動子に接合された接合器具 4 6 を用いて直接に電極パッド 6 に接合する構成とされている。しかるに、この構成では超音波振動する接合器具 4 6 により、電極パッド 6 にダメージが発生するおそれがある。

〔0109〕そこで図 4 1 及び図 4 2 に示す例では、予め電極パッド 6 にスタッドバンプ 4 7 を配設しておき、このスタッドバンプ 4 7 にリード 3 を当接させた上で加熱器具 4 8 を用いてスタッドバンプ 4 7 を加熱溶融し電極パッド 6 とリード 3 とを接合する構成とされている。この接合方法によれば、電極パッド 6 が損傷するおそれなく、接合工程の信頼性を向上させることができる。

〔0110〕また、図 3 9 乃至図 4 2 に示した接合工程によれば、ワイヤ 8 を用いて電極パッド 6 とリード 3 とを接合する構成に比べて電気抵抗を低減できるため、半導体装置 1 の電気特性を向上させることができ、高速の半導体チップ 2 に対応することができる。

〔0111〕図 4 3 乃至図 4 4 は、封止樹脂配設工程の実例を示している。上記した実施例では、図 2 3 及び図 2 4 に示されるように金型 3 0 を構成する下型 3 2 のキャビティ 5 0 には半導体チップ 2 の上面 2 a と直接当接し、この上面 2 a には放熱性を向上させる面から封止樹脂 4 が配設されない構成とされていた。

〔0112〕しかるに、半導体装置 1 が使用される環境が厳しい（例えば、多塵環境）時には放熱性よりも耐塵性等をより必要とする場合が生じ、このような場合には封止樹脂 4 により半導体チップ 2 を完全に封止する必要がある。図 4 3 及び図 4 4 に示す金型 3 0 には、半導体チップ 2 を封止する面から完全に封止する構成とされている。

キャビティ 5 2 が、図 4 3 に示されるように半導体チップ 2 の外面から封止しており、よって図 4 4 に示されるように封止樹脂 4 を金型に充填した状態で半導体チップ 2 の上面に封止樹脂 4 に対峙された構成となる。このように、半導体チップ 2 に対する封止樹脂 4 の配設位置は、金型 3 0、5 0 に形成されるキャビティ 3 3、5 2 の形状を適宜変更することにより任意に設定することができる。

〔0114〕また、上型 3 1 にリード 3 に形成された突起 9 を露出する凹部を形成しておくことにより、図 4 5 に示されるような突起 9 が封止樹脂 4 から大きく突出した構成の半導体装置 6 0 を形成することも可能である。図 4 5 に示す半導体装置 6 0 は、突起 9 が封止樹脂 4 から大きく突出しているため実装基板 1 0 に対する実装性は良好であり、よって前記した実施例に係る半導体装置 1 のようにバンプ 5 を設ける必要はなく、半導体装置 6 0 の製造工程の簡便化を図ることができる。

〔0115〕

〔発明の効果〕上述の如く本発明によれば、下記の種々の効果を実現することができる。請求項 1 及び請求項 2 記載の発明によれば、半導体チップは封止樹脂により封止されるため、耐熱性、機械的強度及び耐塵性を向上させることができる。また、電極パッドとリードとの間で配線を引き回すことができるため、リードのレイアウトを電極パッドのレイアウトに拘わらず設定することが可能となり、実装基板とのマッチング性を向上させることができる。また、封止樹脂は引き回された配線を確実に保護するためこれによっても信頼性を向上させることができ、また外部振動等に対して封止樹脂から突出している実装基板との電気的接合を確実に行うことができる。

〔0116〕また、請求項 3 記載の発明によれば、通常半導体チップとリードとの接合材として配設されるポリイミド膜を接合材として用いているため、半導体チップとリードの絶縁と接合を一括的に行うことができ、よって絶縁材と接合材とを別個に配設する構成に比べて製造の簡便化及び製造の容易化を図ることができる。

〔0117〕また、請求項 4 記載の発明によれば、突起をリードと一体的に形成したことにより、突起とリードを別個の材料により構成する場合に比べて製造の簡便化を図ることができる。また、請求項 5 記載の発明によれば、配線としてワイヤを用いたことにより、前記した電極パッドとリードとの間における配線の引き回しを容易に行うことができる。

〔0118〕また、請求項 6 記載の発明によれば、突起にバンプを形成したことにより、突起を直接実装基板に実装する構成に比べて、半導体装置の実装基板への接合を容易に行うことができる。また、請求項 7 記載の発明によれば、接合工程において、テープ状基板を半導体チップの上面に配設することにより、半導体チップの上面に封止樹脂を配設することができる。

構成としているため、リードと半導体チップとの接合と接合を一体的に行うことができる。

〔0119〕また、接続工程では半導体チップに形成されている電極パッドと前記リードとを配線を引き回し接続するため、この引き回しを適宜設定することにより、電極パッドのレイアウトに対してリードのレイアウトを変更することが可能となる。また、半導体装置はリード形成工程、接合工程、接続工程及び封止層形成工程の4工程のみで製造される。このように少ない工程で半導体装置が製造されるため、生産効率を向上させることができる。

〔0120〕また、請求項8記載の発明によれば、ポリイミド膜に印加する電圧等を所定期間内に制御することなく接合処理を行うことができるため、接合処理を容易に行うことができる。また、請求項8記載の発明によれば、接続工程で、電極パッドとリードとをダイレクトリードボンディング法を用いて電気的に接続するため、簡単にかつ確実に電極パッドとリードとの接続処理を行うことができる。

〔0121〕また、請求項10及び請求項11記載の発明によれば、アウターリード部のリードピッチに対してインナーリード部のリードピッチが小さく設定されているため、インナーリード部が電気的に接続される半導体チップの電極パッドの配線ピッチが小さくてもこれに対応させることができ、かつ実装基板と電気的に接続されるアウターリード部のリードピッチは大きいため、実装基板への実装性を向上させることができる。また、突起がアウターリード部に形成されることにより、この突起を外部接続端子として用いることができ、これによっても実装性を向上させることができる。

〔0122〕また、請求項12及び請求項13記載の発明によれば、突起が一体的に形成された狭ピッチのリードを容易に形成することができる。また、請求項14記載の発明によれば、リードパターンを形成するリードパターン形成工程と、突起を形成する突起形成工程とを別図に行うことにより、基材の厚さを突起の高さに向わず選定することができ、よって薄い基材を用いることによりリードパターンの狭ピッチ化を図ることができる。また、突起形成工程においては、任意の高さを有する突起を形成することが可能となり、設計の自由度を向上させることができる。

〔0123〕更に、請求項15乃至17記載の発明によれば、突起形成工程において突起の形成を容易に行うことができる。

〔図面の簡単な説明〕

〔図1〕本発明の一実施例である半導体装置を示す断面図である。

示す底面図である。

〔図4〕本発明の一実施例である半導体装置の実形例を示す底面図である。

〔図5〕本発明に係るリードフレームの製造方法の第1実施例を説明するための図であり、基材を示す図である。

〔図6〕本発明に係るリードフレームの製造方法の第1実施例を説明するための図であり、所定位置にマスクを配した状態を示す図である。

〔図7〕本発明に係るリードフレームの製造方法の第1実施例を説明するための図であり、第1のエッチング工程が終了した状態を示す図である。

〔図8〕本発明に係るリードフレームの製造方法の第1実施例を説明するための図であり、所定位置にマスクを配した状態を示す図である。

〔図9〕本発明に係るリードフレームの製造方法の第1実施例を説明するための図であり、完成したリードフレームを示す図である。

〔図10〕本発明に係るリードフレームの製造方法の第2実施例を説明するための図であり、第1の基材を示す図である。

〔図11〕本発明に係るリードフレームの製造方法の第2実施例を説明するための図であり、第2の基材を示す図である。

〔図12〕本発明に係るリードフレームの製造方法の第2実施例を説明するための図であり、第1の基材と第2の基材を接合した状態を示す図である。

〔図13〕リードパターンと突起パターンとが重なり合った部位を拡大して示す平面図である。

〔図14〕リードパターンと突起パターンとが重なり合った部位を拡大して示す側面図である。

〔図15〕本発明に係るリードフレームの製造方法の第2実施例を説明するための図であり、完成したリードフレームを示す図である。

〔図16〕本発明に係る半導体装置の製造工程の接合工程を説明するための図であり、ボンディングパッド部の形成を説明するための図である。

〔図17〕本発明に係る半導体装置の製造工程の接合工程を説明するための図であり、半導体チップにポリイミド膜を配線する処理を説明するための図である。

〔図18〕本発明に係る半導体装置の製造工程の接合工程を説明するための図であり、半導体チップにリードフレームを配線する処理を説明するための図である。

〔図19〕本発明に係る半導体装置の製造工程の接合工程を説明するための図であり、ポリイミド膜を接合部として機能させて半導体チップとリードフレームとを接合する処理を説明するための図である。

示す図である。

【図 21】本発明に係る半導体装置の製造工程の接続工程を説明するための図であり、キャピタリを用いてワイヤの配線処理を行っている状態を示す図である。

【図 22】本発明に係る半導体装置の製造工程の接続工程を説明するための図であり、電極パッドとリードとの間にワイヤが配線された状態を示す図である。

【図 23】本発明に係る半導体装置の製造工程の封止樹脂配設工程を説明するための図であり、半導体チップが金型に装着された状態を説明するための図である。

【図 24】本発明に係る半導体装置の製造工程の封止樹脂配設工程を説明するための図であり、金型に封止樹脂が充填された状態を説明するための図である。

【図 25】本発明に係る半導体装置の製造工程の封止樹脂配設工程を説明するための図であり、樹脂封止された半導体チップが金型から離型された状態を説明するための図である。

【図 26】本発明に係る半導体装置の製造工程のパンパ形成工程を説明するための図であり、ホーニング処理を実施している状態を示す図である。

【図 27】本発明に係る半導体装置の製造工程のパンパ形成工程を説明するための図であり、外装メッキ処理を実施している状態を示す図である。

【図 28】本発明に係る半導体装置の製造工程のパンパ形成工程を説明するための図であり、外装メッキ処理が終了した状態を示す図である。

【図 29】本発明に係る半導体装置の製造工程のパンパ形成工程を説明するための図であり、パンパを形成した状態を示す図である。

【図 30】本発明に係る半導体装置の製造工程のパンパ形成工程を説明するための図であり、完成した半導体装置を示す図である。

【図 31】本発明に係る半導体装置の試験工程を説明するための図であり、ソケットを用いて試験を行う方法を示す図である。

【図 32】本発明に係る半導体装置の試験工程を説明するための図であり、プローブを用いて試験を行う方法を示す図である。

【図 33】半導体装置を真鍮基板に実装する実装工程を説明するための図である。

【図 34】突起の平面形状を真ならせた実形性を示す図である。

【図 35】突起の断面形状を真ならせた実形性を示す図である。

【図 36】スタッドパンパにより突起を形成する構成を説明するための図である。

【図 37】スタッドパンパにより突起を形成する構成の

【図 39】接続構成の実形性を示す図であり、電極パッドに直接リードを接続する方法を説明するための図である。

【図 40】接続構成の実形性を示す図であり、電極パッドに直接リードが接続された状態を示す図である。

【図 41】接続構成の実形性を示す図であり、電極パッドにリードをスタッドパンパを介して接続する方法を説明するための図である。

【図 42】接続構成の実形性を示す図であり、電極パッドにリードをスタッドパンパを介して接続した状態を示す図である。

【図 43】封止樹脂配設工程の実形性を説明するための図であり、金型に半導体チップが装着された状態を示す図である。

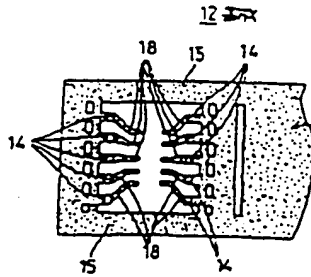
【図 44】封止樹脂配設工程の実形性を説明するための図であり、金型に封止樹脂が充填された状態を示す図である。

【図 45】突起が封止樹脂より大きく突出した構成の半導体装置を示す図である。

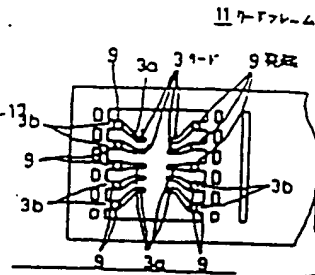
20 【符号の説明】

1. 60 半導体装置
- 2 半導体チップ
- 3 リード
- 3a インナーリード部
- 3b アウターリード部
- 4 封止樹脂
- 5 パンパ
- 6 電極パッド
- 8 ワイヤ
9. 9A~9I 突起
- 10 真鍮基板
11. 20 リードフレーム
- 12 基材
13. 17 マスク
- 21 第1の基材
- 22 第2の基材
- 23 リードパターン
- 24 突起パターン
- 28 治具
- 29 キャピタリ
30. 50 金型
- 31 上型
32. 51 下型
33. 52 キャビティ
- 34 半田槽
- 35 半田
- 41 実形性試験

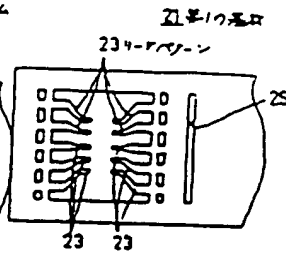
(図 8)



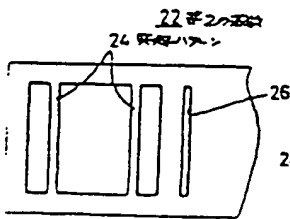
(図 9)



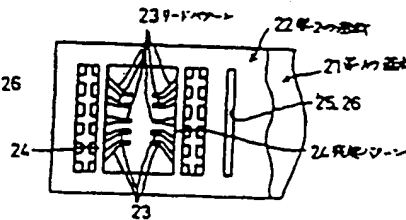
(図 10)



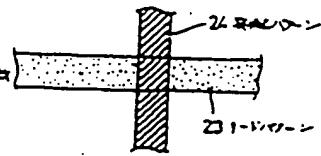
(図 11)



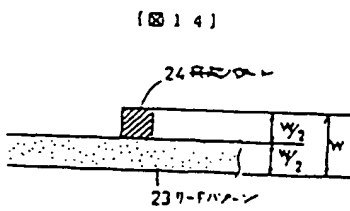
(図 12)



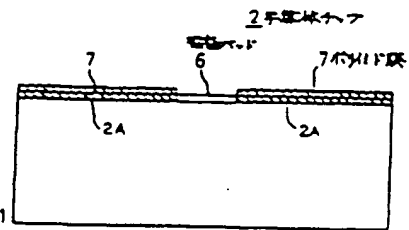
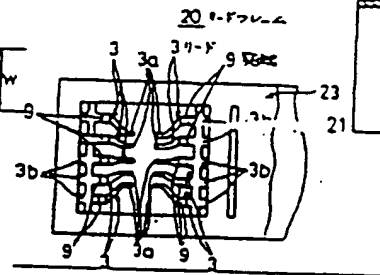
(図 13)



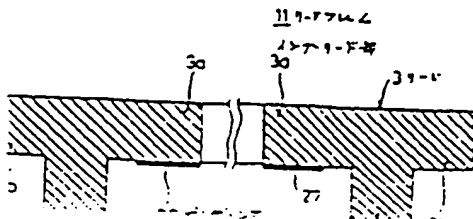
(図 14)



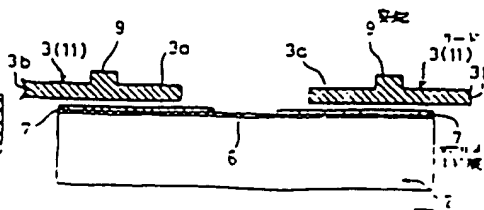
(図 15)



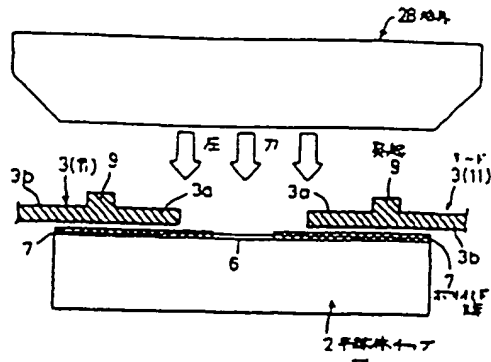
(図 16)



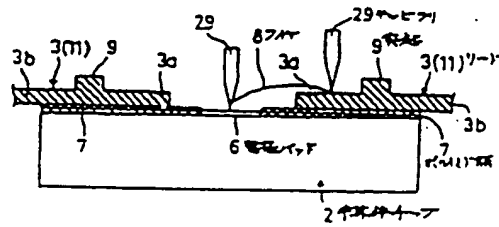
(図 18)



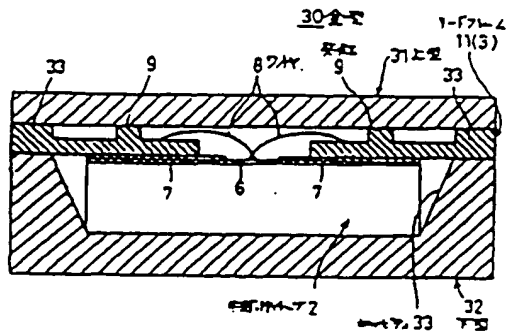
(図 1 9)



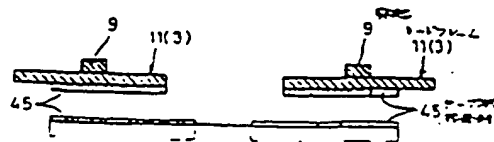
(図 2 1)



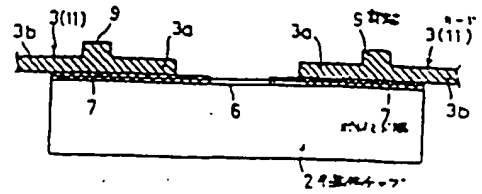
(図 2 3)



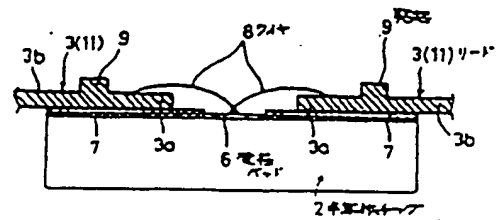
(図 3 8)



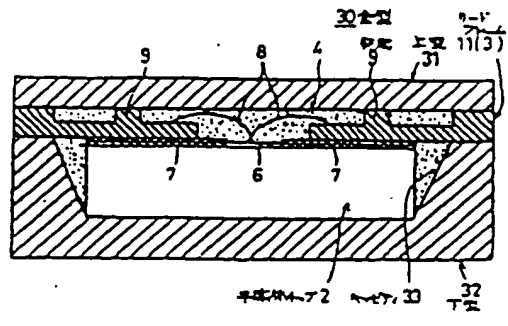
(図 2 0)



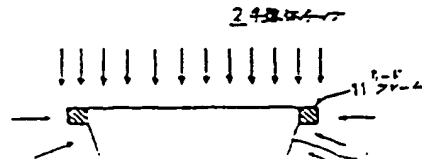
(図 2 2)



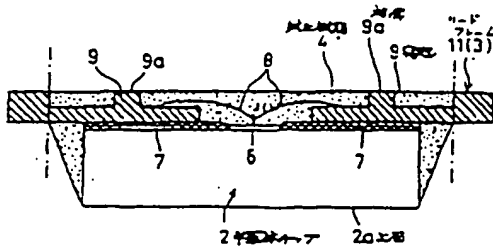
(図 2 4)



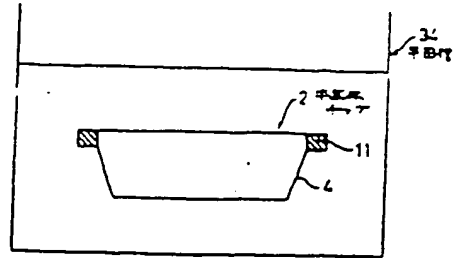
(図 2 6)



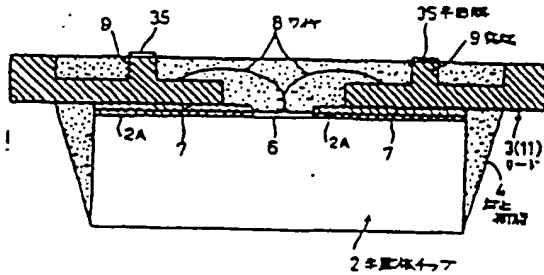
[図 25]



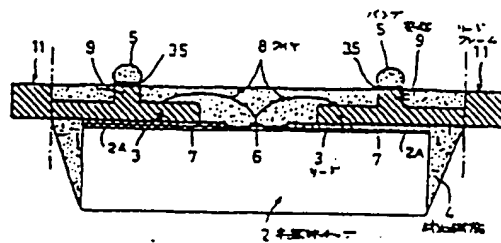
[図 27]



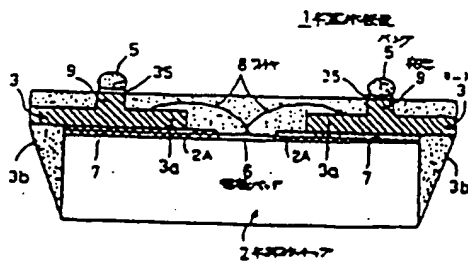
[図 28]



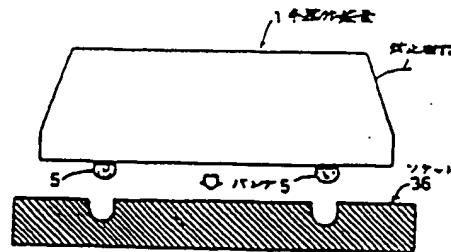
[図 29]



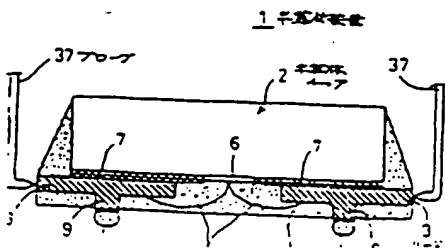
[図 30]



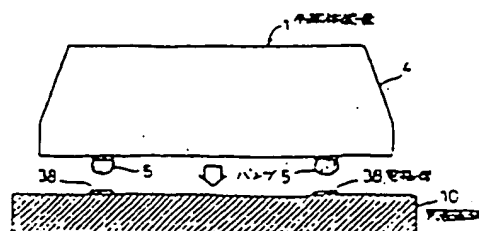
[図 31]



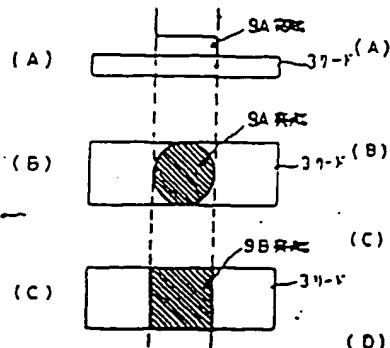
[図 32]



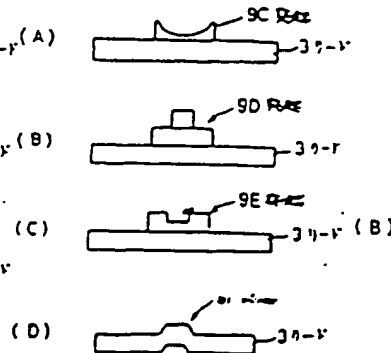
[図 33]



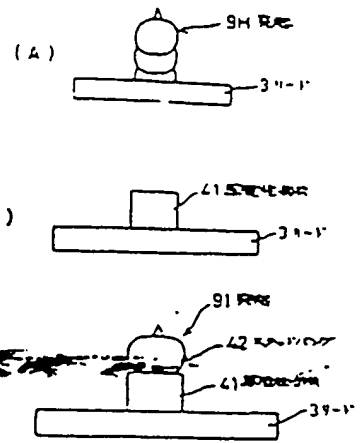
(図 34)



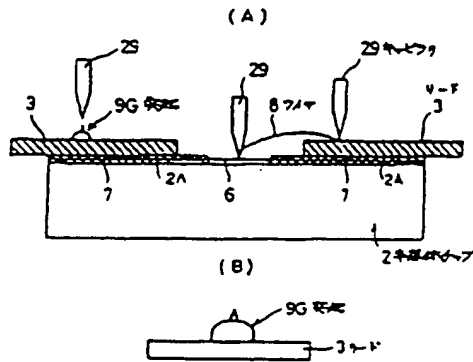
(図 35)



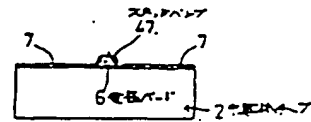
(図 37)



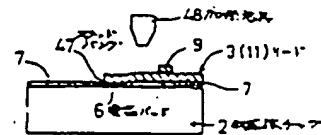
(図 36)



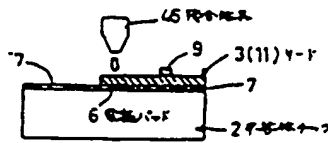
(図 41)



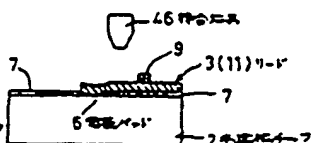
(図 42)



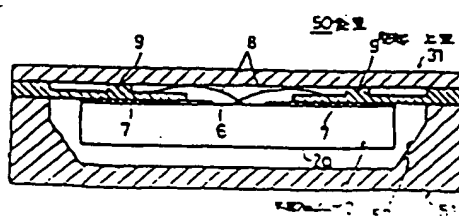
(図 39)



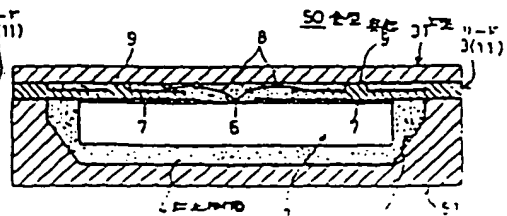
(図 40)



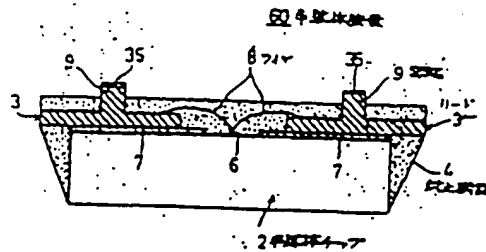
(図 43)



(図 44)



(図 4 5)



フロントページの続き

(71)発明者 宇野 正

神奈川県川崎市中原区上小田中 1 0 1 5 番

地 富士通株式会社内

(72)発明者 藤沢 哲也

神奈川県川崎市中原区上小田中 1 0 1 5 番

地 富士通株式会社内

(73)発明者 脇 政樹

鹿児島県薩摩郡入来町新田 5 9 5 0 番地

株式会社九州富士通エレクトロニクス内